



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01059700 A**

(43) Date of publication of application: 07.03.89

(51) Int. Cl

**G11C 29/00**  
**G11C 11/34**

(21) Application number: 62216600

(71) Applicant: **HITACHI LTD**

(22) Date of filing: 31.08.87

(72) Inventor: **SHINODA KOJI**

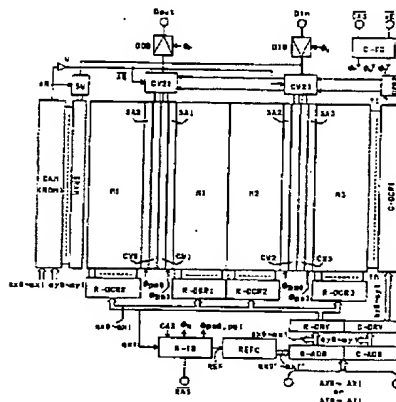
**(54) SEMICONDUCTOR MEMORY**

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

**PURPOSE:** To efficiently execute a defective remedy consisting of many bits by detecting a memory access to a defective address, and switching the access to a spare static-type memory cell in a bit unit.

**CONSTITUTION:** Memory mats M0WM3 are provided at a dynamic-type RAM. For the spare memory cell, a storing circuit SRAM composed of the static-type memory is used. For the selection of the SRAM, a contents calling memory CAM is utilized. By receiving internal complementary address signals ax0Waxi and ay0Wayi supplied from address buffers R-ADB and C-ADB, the memory CAM performs a coincidence detecting action with stored specific defective address information. Further, with the help of a detecting signal AR corresponding to the specific defective address, a single static-type memory of the circuit SRAM is made into a selective condition in a bit unit. The signal AR prohibits the selective action of column switching circuits CW20 and CW21.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-59700

⑬ Int.Cl.<sup>4</sup>

G 11 C 29/00  
11/34

識別記号

3 0 3  
3 4 1

庁内整理番号

B-7737-5B  
C-8522-5B

⑭ 公開 昭和64年(1989)3月7日

審査請求 未請求 発明の数 1 (全14頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-216600

⑰ 出 願 昭62(1987)8月31日

⑱ 発 明 者 篠 田 孝 司 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 徳若 光政

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 不良アドレスへのメモリアクセスを検出して、ビット単位で予備のスタティック型メモリセルへのアクセスに切り換える冗長回路を備えてなることを特徴とする半導体記憶装置。

2. 上記冗長回路は、不良アドレスを記憶する記憶機能と、上記不良アドレスへのメモリアクセスを検出するアドレス検出機能及びその不良アドレス検出出力によって予備のスタティック型メモリセルをアクセスするメモリ選択機能及び不良メモリセルからの読み出しを禁止する機能とを持つものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記冗長回路における不良アドレスの記憶機能及びアドレス検出機能は、ヒューズ手段の選択的に切断によって書き込みが行われる内容呼び出しメモリにより構成されるものであること

を特徴とする特許請求の範囲第1又は第2項記載の半導体記憶装置。

4. 上記半導体記憶装置は、ダイナミック型RAMであることを特徴とする特許請求の範囲第1、第2又は第3項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、例えば欠陥ビットの救済機能を持つダイナミック型RAM(ランダム・アクセス・メモリ)に利用して有効な技術に関するものである。

(従来の技術)

例えば、ダイナミック型RAMのような半導体記憶装置においては、その製品歩留まりを向上させるために、欠陥ビット救済方式を採用したものが公知である。欠陥ビット救済方式を採用するために、メモリアレイ内の不良アドレスを記憶する適当な記憶手段及びそのアドレス比較回路、並びに予備メモリアレイのような付加回路が設けられる。上記のような冗長回路を付加したダイナミッ

ク型RAMの例として、例えば、日経マグロウヒル社1980年7月21日付「日経エレクトロニクス」頁189～201がある。

〔発明が解決しようとする問題点〕

上記の欠陥ビット救済方式では、欠陥ビットに対するメモリアクセスを検出すると予備メモリアレイに切り換えるもの、言い換えるならば、ワード線又はビット線（データ線又はディジット線）の単位で切り換えるものである。このような欠陥ビット救済方式のもとでは、1つのワード線又はビット線に1ビットの欠陥があっても、そのワード線又はビット線が予備のワード線又はビット線に切り換える必要がある。上記予備のワード線やビット線を設けるために比較的大きな占有面積が必要になる。したがって、RAMの実質的な記憶容量を大きくするために上記予備のワード線やビット線の数は制限される。それ故、従来のような欠陥ビット救済方式では欠陥ビットの救済効率が悪く、比較的多くの欠陥ビットが発生した場合その救済ができなくなる。

ブにおける実際の幾何学的な配置にほぼ合わせて描かれており、公知のCMOS（相補型MOS）集積回路技術によって、特に制限されないが、1個の単結晶シリコンから成るような半導体基板上に形成される。

RAMを構成する種々の回路は、後の説明から明らかとなるように、ロウ系及びカラム系タイミング発生回路R-TG、C-TGからそれぞれ発生される種々のタイミング信号によってそれぞれの動作が制御される。しかしながら、第1図においては、図面が複雑になることを防ぐためにロウ系及びカラム系タイミング発生回路R-TG、C-TGと種々の回路との間に設けられるべき信号線は省略されている。

この実施例のダイナミック型RAMは、特に制限されないが、4つのメモリマットM0ないしM3を持つ。このように4つのメモリマットとすることによって、1つのデータ線に接続されるメモリセルの数を減らすことができるから、メモリセルにおける微小な情報記憶電荷のデータ線への読

この発明の目的は、効率のよい欠陥ビットの救済を可能にした冗長回路を備えた半導体記憶装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかなるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、不良アドレスへのメモリアクセスを検出して、ビット単位で予備のスタティック型メモリセルへのアクセスに切り換える。

〔作用〕

上記した手段によれば、予備のスタティック型メモリセルの数に対応して多数の欠陥ビットを効率よく救済することができる。

〔実施例〕

第1図には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されている。同図の主要な各回路ブロックは、半導体チップ

み出し信号を所望のレベルに大きくできる。メモリマットM0ないしM3のそれぞれは、折り返しビット線（データ線又はディジット線）方式をもって構成される。それ故に、各メモリマットM0ないしM3は、それぞれ対とされるべき複数のデータ線、すなわち複数の相補データ線と、それぞれのデータ入出力端子がそれぞれに対応されたデータ線に結合される複数のダイナミック型メモリセルと、それぞれダイナミック型メモリセルの選択端子が結合される複数のワード線とを持つ。データ線は、第1図において図示されていないけれども、同図の横方向に延長される。ワード線は、同図の縦方向に延長される。

メモリマットM0ないしM3は、それぞれ同じ数のメモリセルがマトリクス配置されることによって同じ記憶容量を持つようにされる。各メモリマットM0ないしM3の相補データには、それぞれセンスアンプSA0ないしSA3の入出力ノードに結合される。

センスアンプSA0ないしSA3は、特に制限

されないが、ロウアドレスストローブ信号 $\overline{RAS}$ に基づいて形成されるセンスアンプの活性化タイミング信号と、ロウ系のアドレス信号 $a \times 1$ の解読信号に応じてロウ系タイミング発生回路 $R-TG$ から出力されるタイミング信号 $\phi pa0$ ないし $\phi pa1$ により、選択されるメモリセルが存在するメモリマツト $M0$ 、 $M2$ 又は $M1$ 、 $M3$ が相補的に動作状態にされる。このように相補的にメモリマツトの選択を行うようにすることによって、低消費電力化を実現するものである。

図示のRAMは、各メモリマツトにおける複数のメモリセルのうちの所望のメモリセルを選択するめのアドレス選択回路を持つ。アドレス選択回路は、ロウアドレスバッファ $R-ADB$ 、カラムアドレスバッファ $C-ADB$ 、ロウアドレスデコード $R-DCR0$ ないし $R-DCR3$ 、カラムアドレスデコード $C-DCR1 \sim 2$ 、カラムスイッチ回路 $CW0$ ないし $CW3$ から構成される。

アドレス選択回路を構成する各回路は、それぞれの動作が、ロウ及びカラム系のそれぞれのタイ

ミング発生回路 $R-TG$ 、 $C-TG$ から発生されるタイミング信号によって制御される。

ロウアドレスバッファ $R-ADB$ 及びカラムアドレスバッファ $C-ADB$ の入力端子が結合されたRAMの外部端子には、アドレスマルチプレクス方式に従って外部ロウアドレス信号 $AX0 \sim AX1$ 及びカラムアドレス信号 $AY0 \sim AY1$ が時分割的に供給される。

ロウアドレスバッファ $R-ADB$ は、ロウアドレスストローブ信号 $\overline{RAS}$ の発生に同期してアドレス信号取り込み制御のためのタイミング信号がロウ系タイミング発生回路 $R-TG$ から発生されると、それに応じて外部ロウアドレス信号 $AX0 \sim AX1$ を取り込む。その結果として、ロウアドレスデコード $R-DCR0$ ないし $R-DCR3$ に供給されるべきロウ系の内部相補アドレス信号 $a \times 0 \sim a \times 1$ がアドレスバッファ $R-ADB$ から出力駆動回路 $R-DRV$ を介して出力される。また、特に制限されないが、上記ロウアドレスバッファ $R-ADB$ は、後述する不良アドレスの検

出を行うCAMに、上記内部相補アドレス信号 $a \times 0 \sim a \times 1$ を送出する。

カラムアドレスバッファ $C-ADB$ は、カラムアドレスストローブ信号 $\overline{CAS}$ の発生に同期してカラム系タイミング発生回路 $C-TG$ から同様なタイミング信号が発生されると、それに応じて外部カラムアドレス信号を取り込み、出力駆動回路 $C-DRV$ を介してカラムアドレスデコード $C-DCR1$ に供給されるべきカラム系の内部相補アドレス信号 $a \times 0 \sim a \times 1$ を出力する。また、特に制限されないが、上記カラムアドレスバッファ $C-ADB$ は、後述する不良アドレスの検出を行うCAMに、上記内部相補アドレス信号 $a \times 0 \sim a \times 1$ を送出する。

ロウアドレスデコード $R-DCR0$ ないし $R-DCR3$ は、第1図においてメモリマツト $M0$ ないし $M3$ の下側に配置され、それぞれの出力端子が対応するメモリマツトのワード線に結合されている。これらロウアドレスデコード $R-DCR0$ ないし $R-DCR3$ は、それぞれの動作が、ロ

ウ系タイミング発生回路 $R-TG$ から発生されるワード線選択タイミング信号 $\phi x$ によって制御され、そのタイミング信号 $\phi x$ に同期してワード線選択信号を出力する。

従って、各メモリマツト $M0$ ないし $M3$ のワード線は、ロウアドレスデコード $R-DCR0$ ないし $R-DCR3$ によって形成されたワード線選択信号がそれぞれ供給されることによって選択される。この場合、各ロウアドレスデコード $R-DCR0$ ないし $R-DCR3$ は、最上位ビット $a \times 1$ を除くロウアドレス信号 $a \times 0$ ないし $a \times 1-1$ を受けてそれを解読する。これにより、メモリマツト $M0$ ないし $M4$ のうち、メモリマツト $M0$ 、 $M2$ 又は $M1$ 、 $M3$ の2つのメモリマツトの各ワード線が選択状態にされ、残り2つのメモリマツトのワード線は非選択のままにされる。

カラムアドレスデコード $C-DCR1$ は、カラム系タイミング発生回路 $C-TG$ から出力されるデータ線選択タイミング信号もしくはカラム選択タイミング信号 $\phi y$ によってその動作が制御され、

そのタイミング信号に同期してデータ線選択信号もしくはカラム選択信号を出力する。特に制限されないが、カラムアドレスデコードC-DCR1は、図示のようにメモリマットの右側に配置されている。カラムアドレスデコードC-DCR1の図示しない出力線すなわちデータ線選択線は、メモリマット上に延長されてカラムスイッチ回路CW0ないしCW3に結合されている。カラムアドレスデコードC-DCR1は、それ自体本発明に直接関係が無いのでその詳細を図示しないが、各データ線選択線にそれぞれ出力を与える複数の単位回路から成る。

カラムスイッチ回路CW0ないしCW3は、メモリマットM0ないしM3に対応されて設けられた共通データ線と相補データとの間にそれぞれ設けられ、それぞれカラムアドレスデコードC-DCR1によって形成されたデータ線選択信号が共通に供給される。

上記4対の共通データ線の中から一対(1ビット)の信号の選択を行うため、メモリマットM0

ないしM3に対応された4対の共通データ線と、データ入力バッファDIBの出力端子及びデータ出力バッファDOBの入力端子との間に第2のカラムスイッチ回路CW20及びCW21が設けられている。これらの第2のカラムスイッチ回路CW20とCW21は、それぞれの動作が第2のカラムアドレスデコード回路DCR2によって形成される選択信号によって制御される。また、後述する反転の不良アドレスの検出信号ARによって、その選択動作が禁止される。

上記データ入力バッファDIBは、その動作がタイミング発生回路C-TGから発生される書き込みタイミング信号φwによって制御され、外部端子Dinから供給された書き込み信号に対応された書き込み信号を形成して、それを上記第2のカラムスイッチ回路CW20、CW20又は後述する予備のメモリセル(SRAM)を選択するスイッチ回路SWに供給する。データ入力バッファDIBは、それが非動作状態に置かれているとき、高出力インピーダンス特性を示す。

データ出力バッファDOBは、同様にその動作がタイミング発生回路C-TGから発生される読み出しタイミング信号φrによって制御され、上記第2のカラムスイッチ回路CW20、CW21又は後述する予備のメモリセル(SRAM)を選択するスイッチ回路SWを通して出力された読み出し信号を受けて、これを増幅して外部端子Doutへ送出する。

情報の読み出し/書き込み動作を制御するためのタイミング発生回路C-TGは、外部端子から供給されるカラムアドレスストローブ信号CAS及びライトイネーブル信号WEを受けることによって書き込み/読み出しモードの識別と、それに応じたカラム系及び上記種々のタイミング信号を形成する。

ロウ系タイミング発生回路R-TGは、外部端子から供給されるロウアドレスストローブ信号RASと、メモリマットM0ないしM3を指示する1ビットのアドレス信号ax1及び内部CAS信号を受けることによって、ロウ系の各種タイミン

グ信号を形成する。この実施例に従うと、上記のように4つのメモリマットM0ないしM3のうち、2個づつが相補的に選択状態にされる。それ故、センスアンプSA0ないしSA3を選択的に活性化させるタイミング信号φpa0とφpa1が必要とされる。このようなタイミング信号φpa0ないしφpa1を発生するために上記アドレス信号ax1が利用される。また、内部CAS信号は、リフレッシュモードの識別に利用される。すなわち、ロウアドレスストローブ信号RASがハイレベルからロウレベルにされるタイミングで、CAS信号のレベルがハイレベルならそれを判定してリフレッシュ信号REFを出力する(CASビフォワ-RASリフレッシュ)。

リフレッシュ制御回路REFCは、リフレッシュ用アドレスカウンタ回路を含んでいる。リフレッシュ制御回路REFCは、上記リフレッシュ信号REFが供給されると起動され、リフレッシュ用アドレス信号ax0'～ax1'をロウアドレスバッファR-ADBに供給する。ロウアドレスバッ

ファR-A DBは、入力にマルチプレクサ機能を持ち、上記リフレッシュモードのときには、その入力が外部アドレス端子(A X 0 ~ A X 1)から上記リフレッシュ用アドレス端子(a x 0' ~ a x 1')に切り換えられる。

この実施例では、特に制限されないが、上記のようにメモリマツトM 0とM 1及びM 2とM 3が相補的に選択状態にされることに着目し、言い換えるならばあるメモリマツトが選択状態にされるとき非選択状態にされるメモリマツトが存在し、そのセンスアンプも同様に非動作状態に置かれることに着目して、非動作状態のセンスアンプの共通ソース線を動作状態にされるセンスアンプの電圧供給線に用いるようにする。この場合、非動作状態におかれるべきセンスアンプを非動作状態のままに維持する必要から、後述するようにセンスアンプS A 0とS A 1及びS A 2とS A 3におけるPチャンネルMOS F E Tのソースが共通接続されるP側共通ソース線と、NチャンネルMOS F E Tのソースが共通接続されるN側共通ソース

線とを交差的に接続するものである。このことは、次の詳細な説明から理解されよう。

この実施例では、欠陥ビットの救済のために、次の回路が付加される。

予備のメモリセルは、従来のようなワード線又はデータ線に結合されるダイナミック型メモリセルに代えて、スタティック型メモリセルから構成される記憶回路S R A Mが用いられる。特に制限されないが、上記記憶回路S R A Mは、後述するように縦方向に延長される相補データ線に、スタティック型メモリセルの一对の入出力ノードが結合されて構成される。この実施例では、後述するように、上記スタティック型メモリセルの選択を行う回路として、内容呼び出しメモリC A Mが利用される。内容呼び出しメモリC A Mは、特に制限されないが、ヒューズ手段を用いた不良アドレス記憶機能とアドレス一致検出機能とを持つようにされる。この内容呼び出しメモリC A Mは、上記アドレスバツファR-A D BとC-A D Bから供給される内部相補アドレス信号a x 0 ~ a x 1及

びa x 0' ~ a x 1'を受けて、記憶された特定の不良アドレス情報との一致検出動作を行い、その特定の不良アドレスに対応する検出出力によって上記記憶回路S R A Mの1つのスタティック型メモリセルを選択状態にする。すなわち、上記特定の不良アドレス検出出力は、上記スタティック型メモリセルを構成するアドレス選択用の伝送ゲートMOS F E Tのゲートが結合された選択線に供給される。

上記内容呼び出しメモリC A Mには、記憶されたいずれかの不良アドレスに対するメモリアクセスの検出信号A Rを発生させる。この検出信号A Rは、上記記憶回路S R A Mの相補データ線が結合されるスイッチ回路S Wの選択信号として用いられる。また、上記検出信号A Rは、インバータ回路Nによって反転され、上記第2のカラムスイッチ回路C W 2 0及びC W 2 1の選択動作を禁止させるために用いられる。

第3図には、上記第1図におけるメモリマツトM 2とM 3の具体的一実施例の回路図が代表とし

て例示的に示されている。同図において、チャンネル(バックゲート)部に矢印が付加されたMOS F E TはPチャンネル型である。

特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャンネルMOS F E Tは、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコンからなるようなゲート電極から構成される。PチャンネルMOS F E Tは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャンネルMOS F E Tの共通の基板ゲートを構成する。N型ウェル領域は、その上に形成されたPチャンネルMOS F E Tの基板ゲートを構成する。PチャンネルMOS F E Tの基板ゲートすなわちN型ウェル領域は、第3図の電源端子Vccに結合される。図示しない基板バイアス電圧発生回路は、半導体基板に供給すべき負のバ

ックバイアス電圧を発生する。これによって、NチャンネルMOSFETの基板ゲートにバックバイアス電圧が加えられることになり、そのソース、ドレインと基板間の寄生容量値が減少させられるため、回路の高速動作化が図られる。

集積回路のより具体的な構造は、大まかに説明すると次のようになる。

すなわち、単結晶P型シリコンからなり、かつN型ウェル領域が形成された半導体基板の表面部分のうち、活性領域とされた表面部分以外、言い換えると半導体配線領域、キャパシタ形成領域、及びNチャンネル及びPチャンネルMOSFETのソース、ドレイン及びチャンネル形成領域（ゲート形成領域）とされた表面部分以外には、公知の選択酸化法によって形成された比較厚い厚さのフィールド絶縁膜が形成されている。キャパシタ形成領域は、特に制限されないが、キャパシタ形成領域上には、比較的薄い厚さの絶縁膜（酸化膜）を介して1層目ポリシリコン層が形成されている。1層目ポリシリコン層は、フィールド絶縁

膜上まで延長されている。1層目ポリシリコン層の表面には、それ自体の熱酸化によって形成された薄い酸化膜が形成されている。キャパシタ形成領域における半導体基板表面には、特に制限されないが、イオン打ち込み法によるN型領域（チャンネル領域）が形成される。これによって、1層目ポリシリコン層、薄い絶縁膜及びチャンネル領域からなるキャパシタが形成される。フィールド酸化膜上の1層目ポリシリコン層は、1種の配線とみなされる。

チャンネル形成上には、薄いゲート酸化膜を介してゲート電極とするための2層目ポリシリコン層が形成されている。この2層目ポリシリコン層は、フィールド絶縁膜上及び1層目ポリシリコン層上に延長される。特に制限されないが、後で説明するメモリアレイにおけるワード線及びダミーワード線は、2層目ポリシリコン層から構成される。

フィールド絶縁膜、1層目及び2層目ポリシリコン層によって覆われていない活性領域表面には、

それらを不純物導入マスクとして使用する公知の不純物導入技術によってソース、ドレイン及び半導体配線領域が形成される。

1層目及び2層目ポリシリコン層上を含む半導体基板表面に比較的厚い厚さの層間絶縁膜が形成され、この層間絶縁膜上には、アルミニウムからなるような導体層が形成されている。導体層は、その下の絶縁膜に設けられたコンタクト孔を介してポリシリコン層、半導体領域に電気的に結合されている。後で説明するメモリアレイにおけるデータ線は、特に制限されないが、この層間絶縁膜上に延長された導体層から構成される。

層間絶縁膜上及び導体層上を含む半導体基板表面は、窒化シリコン膜とフオスフォオシリケートガラス膜とからなるようなファイナルパッシベーション膜によって覆われている。

同図においては、上記のように2つのメモリアレイM2とM3とそれらに設けられるセンスアンプ及び共通データ線回路が代表として例示的に示されている。上記メモリアレイM2とM3は、図

示のように折り返しビット線（データ線）方式をもって構成される。それ故に、各メモリアレイは、それぞれ対とされるべき複数のデータ線すなわち複数の相補データ線 $D$ 、 $\overline{D}$ と、それぞれのデータ入出力端子がそれぞれに対応されたデータ線に結合される複数のダイナミック型メモリセルと、それぞれダイナミック型メモリセルの選択端子が結合される複数のワード線 $W$ とを持つ。上記メモリアレイM2とM3の相互は、互いに同じ構成、すなわち、互いに等しい数のデータ線、メモリセル及びワード線を持つようにされる。

例えば、メモリアレイM2は、例示的に示された2対のデータ線 $D$ 、 $\overline{D}$ 及び2本のワード線及びそれぞれの交差点に配置された複数のダイナミック型メモリセルから成る。メモリアレイM2は、上述のように折り返しビット線方式とされる。それ故に、メモリセルは、1つの相補データ線 $D$ 、 $\overline{D}$ と1つのワード線 $W$ とによって構成される2つの交点のうちの一方向のデータ線 $D$ 又は $\overline{D}$ に対応して配置される。

1ビットのメモリセルMCは、図示されているように、情報記憶キャパシタCとアドレス選択用NチャンネルMOSFETQmとからなり、論理“1”、“0”の情報にキャパシタCに電荷が有るか無いかの形で記憶される。

情報の読み出しは、MOSFETQmをオン状態にしてキャパシタCを相補データ線の方に結合させ、そのデータ線の電位がキャパシタCに蓄積された電荷量に応じてどのような変化が起きるかをセンスすることによって行われる。

このような微小な読み出し信号を検出するセンスアンプSA2のセンス動作のための基準電位を形成する方式として、この実施例ではハーフブリッジ方式が利用される。すなわち、ブリッジ回路は、センスアンプSA1の増幅動作によってハイレベル(Vcc)とロウレベル(0V)にされた相補データ線D、 $\overline{D}$ 間を上記センスアンプSA2が非動作状態にされた期間に短絡するMOSFETQ1により約Vcc/2のブリッジ電圧を形成する。上記MOSFETQ1のゲートに

は、特に制限されないが、ロウ系のタイミング信号RAS2が供給される。

センスアンプSA2を構成する各単位回路USAは、第4図に示すように、PチャンネルMOSFETQ42、Q44とNチャンネルMOSFETQ41、Q43とによりそれぞれ構成された2つのCMOSインバータ回路の入力端子と出力端子が互いに交差接続されたCMOSラッチ回路により構成される。このCMOSラッチ回路の一对の入出力端子は、対応する相補データ線D、 $\overline{D}$ に結合される。上記PチャンネルMOSFETQ42、Q44のソースは、同じメモリマットに設けられた他の単位回路USAのそれとアルミニウム配線によって共通化されることにより、第3図におけるP側の共通ソース線PS0(メモリマットM2)、PS1(メモリマットM3)が構成される。NチャンネルMOSFETQ41、Q43のソースは、上記同様な他の単位回路USAのそれとアルミニウム配線によって共通化されることにより第3図におけるN側の共通ソース線NS

0(メモリマットM2)、NS1(メモリマットM3)が構成される。

第3図において、上記センスアンプSA2におけるP側の共通ソース線PS0には、特に制限されないが、同図において上側に配置される並列形態のPチャンネルMOSFETQ13、Q14を通して電源電圧Vccが供給され、N側の共通ソース線NS0には、同図において下側に配置される同様な並列形態のNチャンネルMOSFETQ17、Q18を通して回路の接地電圧Vssが供給される。

上記MOSFETQ13、Q17のゲートには、メモリマットM2が選択される動作サイクルではセンスアンプSA2を活性化させる相補タイミングパルス $\phi_{pa00}$ 、 $\overline{\phi_{pa00}}$ が印加され、MOSFETQ14、Q18のゲートには、上記タイミングパルス $\phi_{pa00}$ 、 $\overline{\phi_{pa00}}$ より遅れた、相補タイミングパルス $\phi_{pa01}$ 、 $\overline{\phi_{pa01}}$ が印加される。このようにすることによって、センスアンプSA2の動作は2段階に分けられる。タイミングパルス $\phi_{pa00}$ 、

$\overline{\phi_{pa00}}$ が発生されたとき、すなわち第1段階においては、比較的小さいコンダクタンスを持つMOSFETQ13及びQ17による電流制限作用によってメモリセルからの一对のデータ線間に与えられた微小読み出し電圧は、不所望なレベル変動を受けることなく増幅される。上記センスアンプSA2での増幅動作によって相補データ線電位の差が大きくなった後、タイミングパルス $\phi_{pa01}$ 、 $\overline{\phi_{pa01}}$ が発生されると、すなわち第2段階に入ると、比較的大きなコンダクタンスを持つMOSFETQ14、Q18がオン状態にされる。センスアンプSA2の増幅動作は、MOSFETQ14、Q18がオン状態にされることによって速くされる。このように2段階に分けて、センスアンプSA2の増幅動作を行わせることによって、相補データ線の不所望なレベル変化を防止しつつデータの高速読み出しを行うことができる。このことは、センスアンプSA3の増幅動作において、タイミング信号 $\phi_{pa10}$ 、 $\overline{\phi_{pa10}}$ 及び $\phi_{pa11}$ 、 $\overline{\phi_{pa11}}$ が印加されるMOSFETQ15、Q16及びQ19、



Q20においても同様である。

例えば、上記共通ソース線PS0にPチャンネルMOSFETQ13、Q14を介して電源電圧Vccが供給され、上記共通ソース線NS0にNチャンネルMOSFETQ17、Q18を介して回路の接地電位が供給されることによって、センスアンプSA2が動作状態にされると、選択されたメモリセルから一方の相補データ線に与えられた微小読み出し信号を、他方の相補データ線のハーフブリチャージ電圧を基準電圧として差動増幅動作を行う。このとき、メモリマットM3は非選択状態にされ、これに応じて、上記センスアンプSA3のパワースイッチMOSFETQ15、Q16及びQ19、Q20はオフ状態にされる。それ故、センスアンプSA3は非動作状態に置かれる。この実施例では、前記のように上記相補的に動作状態にされるセンスアンプSA2とSA3のN側の共通ソース線NS0、NS1とP側の共通ソース線PS0とPS1が交差的に接続される。すなわち、センスアンプSA2のN側の共通ソース線

NS0はセンスアンプSA3のP側共通ソース線PS1と、センスアンプSA2のP側の共通ソース線PS0はセンスアンプSA3のN側共通ソース線NS1に接続される。

したがって、上記のようにセンスアンプSA2が動作状態にされるとき、非動作状態にされるべきセンスアンプSA3のN側共通ソース線NS1は電源電圧Vccのようなハイレベルが供給され、P側共通ソース線PS1は回路の接地電位のようなロウレベルが供給され、通常の動作状態とは逆レベルの電圧が供給される。これによって、センスアンプSA3は非動作状態に維持される。

一方、動作状態にされるセンスアンプSA2においては、上記センスアンプSA3の共通ソース線NS1及びPS1を通して電流が流れるようにされる結果、実質的に寄生抵抗が半減される。これによって、上記電圧供給源としてのMOSFETQ13、Q14からみた遠端部、言い換えるならば、同図において下側に配置される単位のセンスアンプUSAに、共通ソース線PS0とNS

1から電圧供給が行われる結果、その動作電圧の立ち上がりが高速に行われる。また、上記電圧供給源としてのMOSFETQ17、Q18からみた遠端部、言い換えるならば、同図において上側に配置される単位のセンスアンプUSAに、共通ソース線NS0とPS1から電圧供給（ロウレベルへの引き抜き）が行われる結果、その動作電圧の立ち下がりが高速に行われる。これによって、センスアンプSA2の動作速度が速くされる。

このことは、センスアンプSA3が動作状態にセンスアンプSA2が非動作状態にされるときも同様であり、センスアンプSA3の増幅動作に必要な電源電圧Vccの供給が、共通ソース線PS1とNS0、回路の接地電位の供給が共通ソース線NS1とPS0とにより行われることによって高速化が図られる。このことは、図示しないメモリマットM0とM1におけるセンスアンプSA0とSA1においても同様である。図示しないメモリマットM0とM1におけるセンスアンプSA0とSA1においても同様である。

また、図示しないが、上記共通ソース線NS0とPS0（NS1とPS1）の間には、前記信号RAS2等によりオン状態にされるブリチャージMOSFETが設けられる。これによって、チップ非選択状態のときには、相補データ線に対応して共通ソース線NS0とPS0（NS1とPS1）は、 $V_{cc}/2$ にブリチャージされる。このとき、上記のような共通ソース線NS0とPS1及びPS0とNS1の交差接続によって、それぞれには同じ数のPチャンネルMOSFETとNチャンネルMOSFETが結合されるものとなる。したがって、交差接続された2組の共通ソース線の寄生容量が等しくなると、相補データ線のブリチャージレベルとほぼ等しいブリチャージレベルにすることができる。

なお、同図において、ロウ(X)アドレスデコーダR-DCR2とR-DCR3は、それぞれの出力端子が対応するメモリマットM2とM3ワード線Wに結合されている。これらロウアドレスデコーダR-DCR2とR-DCR3は、それぞれ

の動作がタイミング発生回路から発生されるワード線選択タイミング信号によって制御され、そのタイミング信号に同期してワード線選択信号を出力する。この場合、上記2つのロウアドレスデコードR-DCR2とR-DCR3のうち、1つのロウアドレスデコードが1本のワード線選択信号を出力し、残りの1つのロウアドレスデコードはワード線選択信号を出力しない。このようなワード線の選択動作に応じて、上記センスアンプSA2とSA3の動作が対応して行われる。

カラム(Y)アドレスデコードC-DCR1は、タイミング発生回路から出力されるデータ線選択タイミング信号もしくはカラム選択タイミング信号によってその動作が制御され、そのタイミング信号に同期してデータ線選択信号もしくはカラム選択信号を出力する。カラムアドレスデコードC-DCR1の例示的に示された出力線すなわちデータ線選択線Y1、Y2は、メモリマットM3、M2の他、図示されないメモリマットM1とM0に対応されたカラムスイッチ回路を構成するスイ

ッチMOSFET(例えばQ2、Q3等)のゲートに共通に接続される。データ線選択線Y1とY2は、に制限されないが、相補データ線に対応して設けられる。

カラムスイッチ回路を構成する1つの単位回路は、メモリマットM2とM3において、例示的に示されているように共通相補データ線CD1、 $\overline{CD1}$ 及びCD2、 $\overline{CD2}$ と相補データ線D、 $\overline{D}$ との間にそれぞれ設けられ、それぞれカラムアドレスデコードC-DCR1によって形成されたデータ線選択信号が共通に供給されたNチャンネル型のスイッチMOSFETQ2、Q3及びQ5、Q6、Q8、Q9及びQ11、Q12等により構成される。

この実施例に従うと、合計4個のメモリマットM0ないしM3のカラムスイッチ回路CW0~CW3に対してカラムアドレスデコードC-DCR1の出力信号を共通に供給することによって、回路の簡素化を図ることができる。

特に制限されないが、これらの共通データ線C

D1、 $\overline{CD1}$ 及びCD2、 $\overline{CD2}$ は、図示しないメインアンプの入力端子と、データ入力バッファの出力端子に接続される。上記メインアンプは、上記センスアンプと類似のCMOS回路により構成され、その増幅出力信号はデータ出力バッファを通して外部端子へ送出される。

第2図には、上記冗長回路を構成する記憶回路SRAMと内容呼び出しメモリCAM(content-addressed memory)の一実施例の具体的回路図が示されている。

内容呼び出しメモリCAMにおける単位の記憶部及び比較回路は、次の各素子により構成される。ヒューズ手段F01と高抵抗R01からなる直列回路は記憶部を構成する。すなわち、ヒューズ手段F01が切断されない状態では、比較的小さな抵抗値を持つヒューズ手段によってハイレベルの信号を形成する。一方、例えばレーザー光線の照射によってヒューズ手段を切断させると、抵抗R01によりロウレベルの信号を形成する。このようにヒューズ手段の選択的な切断の有無によって、

ハイレベル/ロウレベルの信号を記憶させることができる。上記ヒューズ手段F01と抵抗R01により形成される信号は、インバータ回路N01により、その反転信号が形成される。

一对の直列形態にされたMOSFETQ21、Q22及びQ23、Q24は、比較回路を構成する。すなわち、上記MOSFETQ22のゲートには、上記ヒューズ手段F01と抵抗R01により形成された記憶情報が供給され、MOSFETQ24のゲートには、インバータ回路N01により反転された記憶情報が供給される。他方のMOSFETQ21とQ23のゲートには、それぞれ相補入力信号線(内部相補アドレス信号ax0、 $\overline{ax0}$ )に結合される。この内部相補入力信号線ax0、 $\overline{ax0}$ は、同じ列に配置される上記同様な単位回路のアドレス比較用MOSFETのゲートに対して共通に供給される。

上記同様な単位回路は、残りの内部相補アドレス信号ax1、 $\overline{ax1}$ ないしay<sub>n</sub>、 $\overline{ay_n}$ に対応してそれぞれ設けられる。同図では、代表とし

て上記単位回路の他、ロウ系の内部相補アドレス信号  $a \times 1$ ,  $\overline{a \times 1}$  とカラム系の最上位ビットの内部相補アドレス  $A a y n$ ,  $\overline{A a y n}$  に対応した単位回路が例示的に示されている。例えば、1ビットの単位でメモリアクセスを行い、約1Mビットのような記憶容量を持つダイナミック型RAMでは、ロウ系及びカラム系のアドレス信号は、それぞれ10ビットからなるため、上記単位回路は、特定の1つの不良アドレスに対して20個設けられ、同図のように横方向に並べられる。このようにアドレス信号に対応して設けられる各単位回路におけるアドレス比較用のMOSFETQ21, Q23ないしQ29, Q31のドレインは、横方向に延長される出力線S0に共通に結合される。この出力線S0には、チップ非選択状態のときに発生されるプリチャージ信号PCを受けるプリチャージMOSFETQ35が設けられる。また、いずれか1の不良アドレスを検出したとき、メモリアクセスを上記ダイナミック型RAMに代えて冗長用の記憶回路SRAMに切り換えを指示する

例えば、上記ヒューズ手段F01が切断されない状態（ハイレベル）は、アドレス信号AX0のロウレベルに対応し、ヒューズ手段F01が切断された状態（ロウレベル）は、アドレス信号AX0のハイレベルに対応している。すなわち、ヒューズ手段F01が切断されない状態では、それによってハイレベルの信号が形成される。それ故、MOSFETQ22がオン状態に、MOSFETQ24がオフ状態にされる。この状態でハイレベルのアドレス信号AX0が供給されると、それに応じて内部アドレス信号  $a \times 0$  はハイレベルになり、MOSFETQ21をオン状態にする。このときには、MOSFETQ21とQ22が共にオン状態になって出力線S0をロウレベルに引き抜く。逆に、ロウレベルのアドレス信号AX0が供給されると、それに応じて内部アドレス信号  $a \times 0$  はロウレベルになり、MOSFETQ21をオフ状態に、反転の内部アドレス信号  $\overline{a \times 0}$  のハイレベルによってMOSFETQ23がオン状態になる。それ故、出力線S0に対するチャージの引き抜き

ため、上記出力線S0は、後述するような実質的にオアゲート回路を構成するMOSFETQ38のゲートに結合される。

上記のように複数個からなる単位回路を1組として、縦方向に  $n+1$  組からなる回路が設けられる。これによって、この実施例では、最大  $n+1$  ビットまでの欠陥ビットの救済を行う能力を持つようにされる。

出力線S0ないしSnにゲートが結合されたMOSFETQ38ないしQ40は、そのドレインが共通接続され、言い換えるならば、並列形態に接続されて、ノアゲート回路を構成する。上記共通接続されたドレインには、図示しないが上記のようなプリチャージ回路か又は負荷手段が設けられる。これによって、いずれか1つの出力線がハイレベルのとき、ロウレベルの出力信号を形成する。この信号は、例えばデータ線選択タイミング信号の反転信号  $\phi$  を受けるノア（NOR）ゲート回路G00を通して反転され、上記検出信号ARとして出力される。

経路が形成されない。他の単位回路において、1つでも上記のように記憶されたアドレス信号と供給されたアドレス信号との不一致のものがあれば、上記出力線S0をロウレベルに引き抜く経路が形成される。それ故、全ビットの記憶情報に対して一致するアドレス信号が供給されたとき、出力線S0はハイレベルの状態に維持し、一致検出信号が得られる。

このような出力線S0ないしSnは、特に制限されないが、アンド（AND）ゲート回路G0ないしGnを介して、記憶回路SRAMに供給される。スタティック型メモリセルは、特に制限されないが、その入力と出力とが交差接続された2つのインバータ回路N04, N05及びその一対の入力出力ノードと相補データ線D',  $\overline{D'}$  との間に設けられた伝送ゲートMOSFETQ33, Q34から構成される。上記伝送ゲートMOSFETQ33, Q34のゲートは、選択線W0に結合される。この選択線W0には、それに対応したアンドゲート回路G0の出力信号が供給される。

上記のようにCAMは、プリチャージのとき出力線S0がハイレベルにされる。それ故、その出力線S0を上記スタティック型メモリセルが結合された選択線W0に結合されると、メモリセルが誤って選択されることになる。そこで、上記アンドゲート回路G0が設けられる。このアンドゲート回路G0の他方入力には、特に制限されないが、データ線選択タイミング信号 $\Phi$ が供給される。すなわち、カラム選択動作が開始された時点で上記CAMの出力線の信号がSRAMの選択線に伝えられるものとなる。これによって、全アドレス信号が供給された結果として、上記いずれかの出力線がハイレベルに維持されたとき、それに対応するスタティック型メモリセルが選択され、上記相補データ線 $D'$ 、 $\overline{D}'$ に結合される。このことは、上記一致検出信号ARを出力させる場合でも同様である。

上記のように不良アドレスに対するメモリアクセスがCAMによって検出されると、その不良アドレスに対応して設けられたスタティック型メモ

リセルが選択状態にされる。そして、スイッチ回路SWは、その検出信号ARによって相補データ線 $D'$ 、 $\overline{D}'$ をデータバッファDOBの入力端子とデータ入力バッファDIBの出力端子に結合される。書き込み動作なら上記データ入力バッファDIBを通した書き込み信号がスイッチ回路SWを通して上記相補データ線 $D'$ 、 $\overline{D}'$ に伝えられるので、上記選択されたスタティック型メモリセルに書き込まれる。また、読み出し動作なら上記特定の不良アドレスに対応した1つのスタティック型メモリセルが選択状態にされているので、その記憶情報がスイッチ回路SWを通して上記データ出力バッファDOBの入力端子に伝えられ、読み出されるものとなる。このとき、上記信号ARの反転信号によって、カラムスイッチ回路CW20、CW21はいずれも非選択状態にされているので、ダイナミック型メモリセル側の不良信号が出力されることはない。

上記のような不良アドレスに対する書き込み/読み出しにおいも、ダイナミック型RAM側は、

それと無関係に一連の動作を平行して行う。上記スタティック型メモリセルの読み出しや書き込みは、高速に行えるため、何等ダイナミック型RAMの動作サイクルを犠牲にすることがない。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1)不良アドレスへのメモリアクセスを検出して、ビット単位で予備のスタティック型メモリセルへのアクセスに切り換えることにより、予備のスタティック型メモリセルの数に対応した多数ビットからなる欠陥救済を効率よく行うことができるという効果が得られる。

(2)予備のスタティック型メモリセルを、ダイナミック型RAMのメモリアレイとは別のアドレス選択形態とすることによって、ダイナミック型RAMのアクセスをそのままにして、不良ビットに対するメモリアクセスの切り換えが可能になる。これによって、ダイナミック型RAM側のタイミング制御が容易になる。

(3)不良アドレスの記憶とその比較一致検出を行う

回路として、内容呼び出しメモリを利用することによって、アレイ状に回路を実装することができるから高密度で多数の不良アドレスの記憶及び一致検出を行うことができる。そして、上記スタティック型メモリセルを予備の記憶回路として用いることと相俟って、効率のよい欠陥ビットの救済が可能になるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第2図において、内容呼び出しメモリCAMの具体的構成は、MOSFETQ22とQ24を不良アドレスに従って相補的にオン状態/オフ状態にさせるものであれば何であってよい。例えば、一対のヒューズ手段と抵抗からなる直列回路を、上記それぞれのMOSFETQ22、Q24のゲートに結合させるもの、上記MOSFETQ22、Q24を電気的に書き込み可能なスタックドゲート構造のMOSFETやMNOS

(メタル・ナイトライド・オキシサイド・セミコンダクタ) のような不揮発性記憶素子に置き換えるもの等種々 実施形態を採ることができるものである。また、不良アドレスの記憶やその比較回路は、上記のような内容呼び出しメモリに代えて、適当な記憶手段と排他的論理和回路から構成するものであってもよい。さらに、スタティック型メモリセルは、マトリックス配置して、上記特定の不良アドレスの検出出力に応じて1つのメモリセルが選ばれるようにしてもよい。

また、ダイナミック型RAMとしてはセンスアンプは左右のメモリマットに対して共通に設けられるという、いわゆるシェアードセンス方式を採るものであってもよい。例えば第1図において、各メモリマットM0ないしM3の中央にセンスアンプを配置して、上記センスアンプによって分割される左右のメモリマットの相補データ線にスイッチMOSFETを介してセンスアンプが選択的に結合されるようにするものであってもよい。このようなシェアードセンスアンプ方式を採ること

によって、データ線の長さを短くできるから、読み出し信号のレベルマージンを大きくできる。また、第1図において、カラムアドレスデコードC-DCR2を中心として、右側にも同様なメモリマット及びロウデコードを配置するものであってもよい。このように、メモリマットの数は、必要に応じて種々の実施例形態を採ることができるものである。また、外部端子から供給するアドレス信号は、それぞれ独立した外部端子からロウアドレス信号とカラムアドレス信号とを同時に供給するものとてよい。このようにダイナミック型RAMの回路構成は授受の変形を行うことができるものである。さらに、ワード線やビット線に断線が生じた場合には、1つの欠陥個所によって多数ビットがアクセス不能にされる。したがって、ダイナミック型RAM側に従来と同様に予備のワード線及び/又はデータ線を設けるものとしてもよい。

この発明は、上記のようなダイナミック型RAMの他、スタティック型RAMの欠陥救済のため

にも同様に用いることができる。

#### 〔発明の効果〕

本願において開示される発明のうちの代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、不良アドレスへのメモリアccessを検出して、ビット単位で予備のスタティック型メモリセルへのアクセスに切り換えることにより、予備のスタティック型メモリセルの数に対応した多数ビットからなる欠陥救済を効率よく行うことができる。

#### 4. 図面の簡単な説明

第1図は、この発明に係るダイナミック型RAMの一実施例を示すブロック図、

第2図は、その冗長回路の一実施例を示す具体的回路図、

第3図は、上記ダイナミック型RAMの一実施例を示す要部回路図、

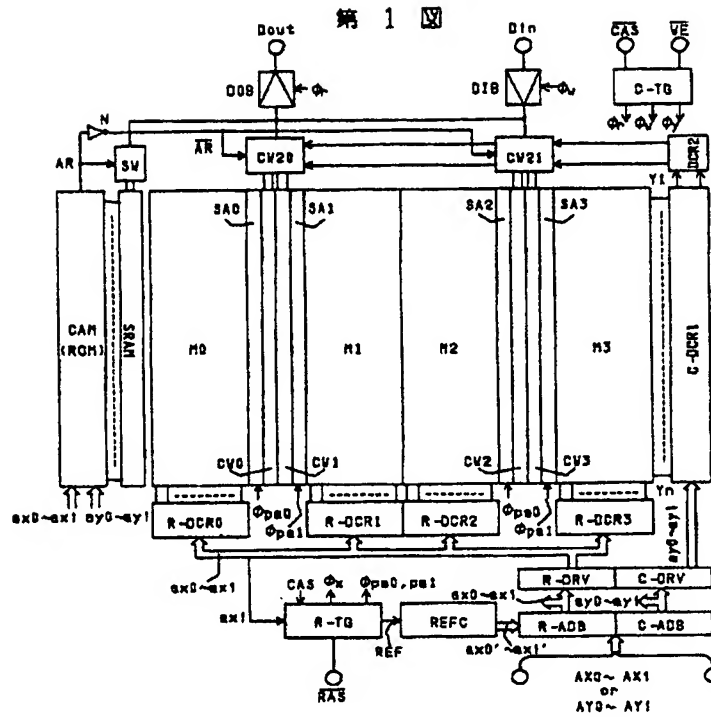
第4図は、その単位のセンスアンプの一実施例を示す回路図、

M0～M3・・・メモリマット、SA0～SA3

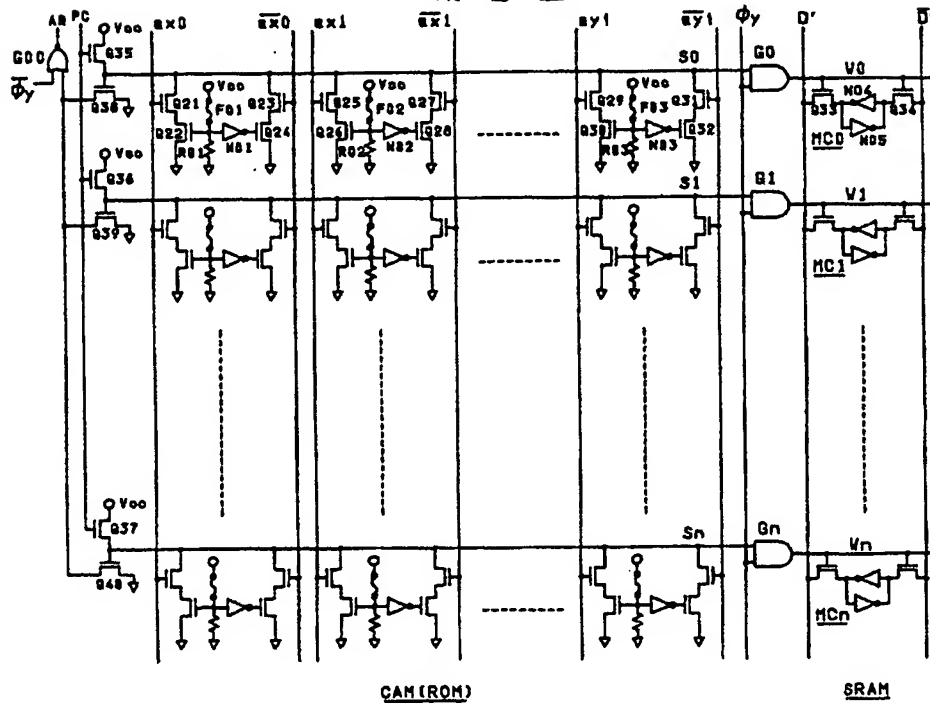
・・・センスアンプ、USA・・・単位のセンスアンプ、BST2, BST3・・・ブースト回路、R-ADB・・・ロウアドレスバッファ、CW0～CW3・・・カラムスイッチ、CW20, CW21・・・第2のカラムスイッチ、C-ADB・・・カラムアドレスバッファ、R-DCR0～R-DCR3・・・ロウデアドレスコード、C-DCR1, CDCR2・・・カラムデコード、R-TG・・・ロウ系タイミング発生回路、C-TG・・・カラム系タイミング発生回路、DIB・・・データ入力バッファ、DOB・・・データ出力バッファ、REFC・・・自動リフレッシュ制御回路、SRAM・・・記憶回路(スタティック型メモリセル)、CAM・・・内容呼び出しメモリ、SW・・・スイッチ回路

代理人弁理士 徳若 光政

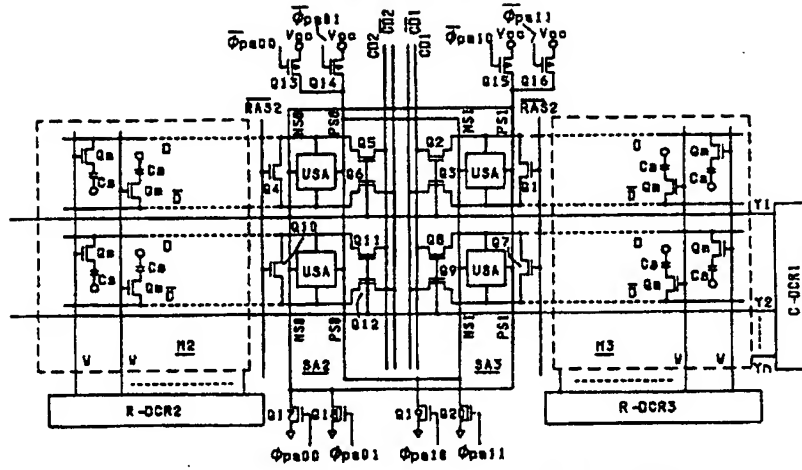
第 1 図



第 2 図



第 3 図



第 4 図

